

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2001141562
PUBLICATION DATE : 25-05-01

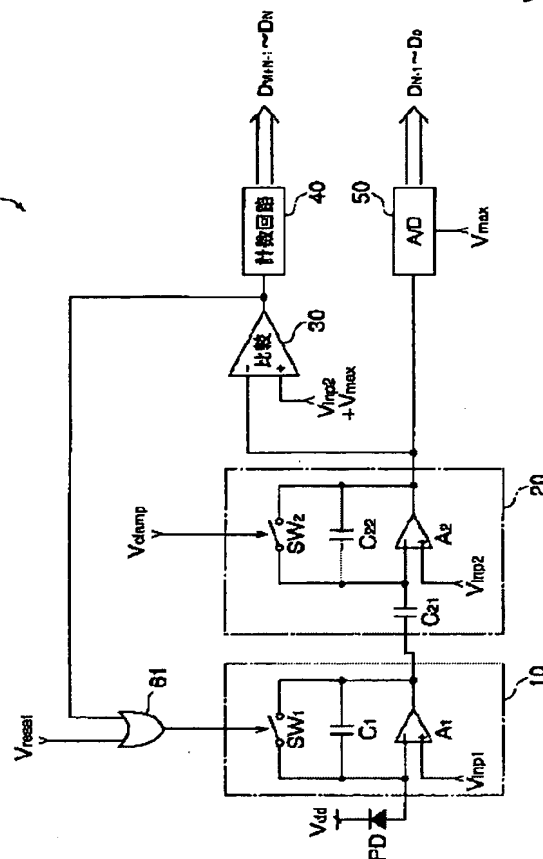
APPLICATION DATE : 15-11-99
APPLICATION NUMBER : 11324270

APPLICANT : HAMAMATSU PHOTONICS KK;

INVENTOR : YAMAMOTO HIROO;

INT.CL. : G01J 1/46 G01J 1/44 H01L 31/10
H04N 5/335

TITLE : PHOTODETECTOR



ABSTRACT : PROBLEM TO BE SOLVED: To provide a photodetector with a large optical detection dynamic range, excellent optical detection accuracy, and a small circuit scale.

SOLUTION: In an integral circuit 10, electric charges matching current signals outputted from a photodiode PD are integrated, and an integral signal matching the quantity of electric charge is outputted. In a CSD circuit 20, a CDS signal of a value matching the changing amount of the integral signal is outputted. In a comparison circuit 30, dimensions of the CDS signal value and a reference voltage value are compared with each other, and if the CDS signal value is above the reference voltage value, a saturation signal showing this is outputted. By means of a logical OR circuit 61, the charges accumulated in the integral circuit 10 are reset when the CDS signal value is above the reference voltage value. A counting circuit 40 counts an event of excess of the CDS signal value above the reference voltage value, and the counted value is outputted as a first digital signal. The CDS signal is A/D converted by means of an A/D conversion circuit 50 using the reference voltage value as an A/D conversion range, and this A/D conversion result is outputted as a second digital signal.

COPYRIGHT: (C)2001,JPO

FP03-0375- 00EP-HP
06.7.-6
SEARCH REPORT

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-141562
(P2001-141562A)

(43)公開日 平成13年5月25日(2001.5.25)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 0 1 J	1/46	C 0 1 J	2 G 0 6 J
	1/44		A
H 0 1 L	31/10	H 0 4 N	5 C 0 2 4
H 0 4 N	5/335	H 0 1 L	5 F 0 4 9
			G

審査請求 未請求 請求項の数 5 () L (全 12 頁)

(21)出願番号 特願平11-324270

(22)出願日 平成11年11月15日(1999.11.15)

(71)出願人 000236436

浜松ホトニクス株式会社
静岡県浜松市市野町1126番地の1

(72)発明者 水野 誠一郎

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

(72)発明者 山本 祥夫

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

(74)代理人 100088155

弁理士 長谷川 芳樹 (外3名)

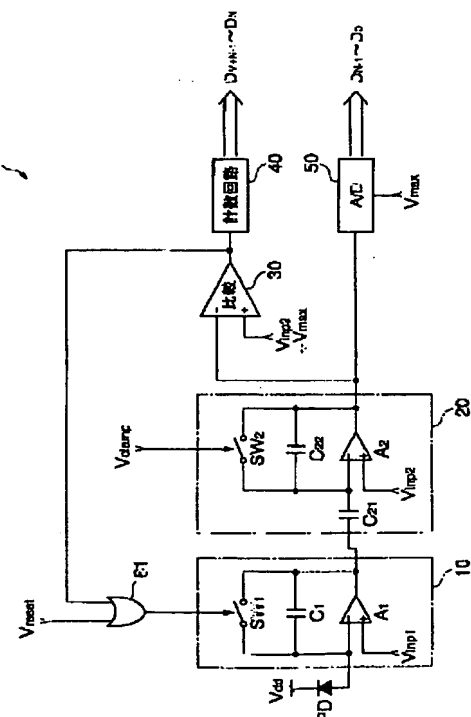
最終頁に続く

(54)【発明の名称】 光検出装置

(57)【要約】

【課題】 光検出のダイナミックレンジが大きく、光検出精度が優れ、回路規模が小さい光検出装置を提供する。

【解決手段】 積分回路10で、フォトダイオードPDより出力された電流信号に応じた電荷が蓄積され、この電荷量に応じた積分信号が出力される。CDS回路20で、積分信号値の変化量に応じた値のCDS信号が出力される。比較回路30で、CDS信号値と基準電圧値とが大小比較され、CDS信号値が基準電圧値以上であれば、その旨を示す飽和信号が出力される。論理和回路61により、CDS信号値が基準電圧値以上であるときに、積分回路10に蓄積されている電荷がリセットされる。計数回路40により、CDS信号値が基準電圧値以上となった事象が計数されて、その計数値が第1のデジタル信号として出力される。基準電圧値をA/D変換レンジとするA/D変換回路50によりCDS信号がA/D変換されて、そのA/D変換結果が第2のデジタル信号として出力される。



【特許請求の範囲】

【請求項1】 受光した光の光量に応じた電流信号を出力する受光素子と、
前記受光素子から出力された電流信号に応じて電荷を蓄積して、その蓄積された電荷の量に応じた積分信号を出力する積分回路と、
前記積分信号の値と基準電圧値とを大小比較して、前記積分信号の値が前記基準電圧値以上であれば、その旨を示す飽和信号を出力する比較回路と、
前記飽和信号に基づいて、前記積分信号の値が前記基準電圧値以上であるときに、前記積分回路に蓄積されている電荷をリセットするリセット手段と、
前記飽和信号に基づいて、前記積分信号の値が前記基準電圧値以上となった事象を計数して、その計数値を第1のデジタル信号として出力する計数回路と、
前記基準電圧値をA/D変換レンジとして前記積分信号をA/D変換して、そのA/D変換の結果を第2のデジタル信号として出力するA/D変換回路と、
を備えることを特徴とする光検出装置。

【請求項2】 前記受光素子、前記積分回路、前記比較回路、前記リセット手段および前記計数回路を複数組備え、この複数組に対して前記A/D変換回路を1つ備え、
前記複数組それぞれに設けられ、各積分回路から出力される積分信号を保持して前記A/D変換回路へ順次に出力するホールド回路を更に備える、
ことを特徴とする請求項1記載の光検出装置。

【請求項3】 受光した光の光量に応じた電流信号を出力する受光素子と、
前記受光素子から出力された電流信号に応じて電荷を蓄積して、その蓄積された電荷の量に応じた積分信号を出力する積分回路と、
前記積分信号の値の変化量に応じた値のCDS信号を出力するCDS回路と、
前記CDS信号の値と基準電圧値とを大小比較して、前記CDS信号の値が前記基準電圧値以上であれば、その旨を示す飽和信号を出力する比較回路と、
前記飽和信号に基づいて、前記CDS信号の値が前記基準電圧値以上であるときに、前記積分回路に蓄積されている電荷をリセットするリセット手段と、
前記飽和信号に基づいて、前記CDS信号の値が前記基準電圧値以上となった事象を計数して、その計数値を第1のデジタル信号として出力する計数回路と、
前記基準電圧値をA/D変換レンジとして前記CDS信号をA/D変換して、そのA/D変換の結果を第2のデジタル信号として出力するA/D変換回路と、
を備えることを特徴とする光検出装置。

【請求項4】 前記受光素子、前記積分回路、前記CDS回路、前記比較回路、前記リセット手段および前記計数回路を複数組備え、この複数組に対して前記A/D変

換回路を1つ備え、

前記複数組それぞれに設けられ、各CDS回路から出力されるCDS信号を保持して前記A/D変換回路へ順次に出力するホールド回路を更に備える、
ことを特徴とする請求項3記載の光検出装置。

【請求項5】 前記リセット手段は、前記積分回路に蓄積されている電荷を相殺するだけの電荷を注入することで、前記積分回路に蓄積されている電荷をリセットする、ことを特徴とする請求項1または3に記載の光検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、受光した光の光量に応じた信号をデジタル信号として出力する光検出装置に関するものである。

【0002】

【従来の技術】光検出装置は、受光した光の光量に応じた電流信号を出力する受光素子と、この受光素子から出力された電流信号に応じて電荷を蓄積して該電荷の量に応じた積分信号を出力する積分回路と、を備えている。この光検出装置を用いれば、積分回路から出力される積分信号に基づいて、受光素子が受光した光の光量を求めることができる。また、光検出装置は、積分回路から出力される積分信号（アナログ信号）をA/D変換回路によりA/D変換して、デジタル信号を出力する場合がある。このような光検出装置は、光検出のダイナミックレンジ（デジタル信号のビット数）を大きくすることが課題の1つとされている。

【0003】例えば、特開平5-215607号公報に開示された光検出装置は、 Δ 変調方式を採用してダイナミックレンジの向上を図っている。この光検出装置は、積分回路の後段に設けられた比較回路により積分信号の値と基準電圧値とを大小比較して、前者が後者より大きいと判断されたときには、受光素子から積分回路に入力する電荷をダンプするとともに、この事象を計数する。そして、この計数値（デジタル信号）に基づいて、受光素子が受光した光の光量を求めるものである。

【0004】また、特開平9-298690号公報に開示された光検出装置は、 $\Sigma\Delta$ 変調方式を採用してダイナミックレンジの向上を図っている。この光検出装置は、積分回路の後段に設けられた比較回路により積分信号の値と基準電圧値とを大小比較して、両者が等しくなるように、受光素子から出力される電流信号に基づいて積分回路に蓄積される電荷に対して一定量の電荷を加算または減算するとともに、この一定量の電荷を加算する事象を計数する。そして、この計数値（デジタル信号）に基づいて、受光素子が受光した光の光量を求めるものである。

【0005】

【発明が解決しようとする課題】しかしながら、上記の

何れの従来技術も以下のような問題点を有している。すなわち、積分回路に蓄積される電荷をダンプする為に用いられるスイッチング回路の動作時にスイッチングノイズが生じ易いことから、光検出精度が悪く、微弱光の光量を検出するには適していない。積分回路に蓄積される電荷をダンプする為に必要な回路の規模が大きく、したがって、コストが高く、また、消費電力が大きい。

【0006】本発明は、上記問題点を解消する為になされたものであり、光検出のダイナミックレンジが大きく、光検出精度が優れ、回路規模が小さい光検出装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明に係る第1の光検出装置は、(1) 受光した光の光量に応じた電流信号を出力する受光素子と、(2) 受光素子から出力された電流信号に応じて電荷を蓄積して、その蓄積された電荷の量に応じた積分信号を出力する積分回路と、(3) 積分信号の値と基準電圧値とを大小比較して、積分信号の値が基準電圧値以上であれば、その旨を示す飽和信号を出力する比較回路と、(4) 飽和信号に基づいて、積分信号の値が基準電圧値以上であるときに、積分回路に蓄積されている電荷をリセットするリセット手段と、(5) 飽和信号に基づいて、積分信号の値が基準電圧値以上となった事象を計数して、その計数値を第1のデジタル信号として出力する計数回路と、(6) 基準電圧値をA/D変換レンジとして積分信号をA/D変換して、そのA/D変換の結果を第2のデジタル信号として出力するA/D変換回路と、を備えることを特徴とする。

【0008】この光検出装置によれば、受光した光の光量に応じて受光素子より出力された電流信号は積分回路に入力し、この積分回路では、その電流信号に応じた電荷が蓄積され、その蓄積された電荷の量に応じた積分信号が出力される。比較回路では、積分回路から出力された積分信号の値と基準電圧値とが大小比較され、積分信号の値が基準電圧値以上であれば、その旨を示す飽和信号が出力される。そして、リセット手段により、比較回路から出力される飽和信号に基づいて、積分信号の値が基準電圧値以上であるときに、積分回路に蓄積されている電荷がリセットされる。計数回路により、この飽和信号に基づいて、積分信号の値が基準電圧値以上となった事象が計数されて、その計数値が第1のデジタル信号として出力される。また、積分回路から出力された積分信号は、基準電圧値をA/D変換レンジとするA/D変換回路によりA/D変換されて、そのA/D変換の結果が第2のデジタル信号として出力される。第1および第2のデジタル信号が、この光検出装置の出力信号となる。

【0009】また、本発明に係る第1の光検出装置は、(1) 受光素子、積分回路、比較回路、リセット手段および計数回路を複数組備え、この複数組に対してA/D変換回路を1つ備え、(2) 複数組それぞれに設けられ、各

積分回路から出力される積分信号を保持してA/D変換回路へ順次に出力するホールド回路を更に備える、ことを特徴とする。この場合には、各組それぞれの受光素子が受光した光の光量に応じた第1および第2のデジタル信号が順次に出力されるので、1次元または2次元の光像を撮像することができる。

【0010】本発明に係る第2の光検出装置は、(1) 受光した光の光量に応じた電流信号を出力する受光素子と、(2) 受光素子から出力された電流信号に応じて電荷を蓄積して、その蓄積された電荷の量に応じた積分信号を出力する積分回路と、(3) 積分信号の値の変化量に応じた値のCDS信号を出力するCDS回路と、(4) CDS信号の値と基準電圧値とを大小比較して、CDS信号の値が基準電圧値以上であれば、その旨を示す飽和信号を出力する比較回路と、(5) 飽和信号に基づいて、CDS信号の値が基準電圧値以上であるときに、積分回路に蓄積されている電荷をリセットするリセット手段と、(6) 飽和信号に基づいて、CDS信号の値が基準電圧値以上となった事象を計数して、その計数値を第1のデジタル信号として出力する計数回路と、(7) 基準電圧値をA/D変換レンジとしてCDS信号をA/D変換して、そのA/D変換の結果を第2のデジタル信号として出力するA/D変換回路と、を備えることを特徴とする。

【0011】この光検出装置によれば、受光した光の光量に応じて受光素子より出力された電流信号は積分回路に入力し、この積分回路では、その電流信号に応じた電荷が蓄積され、その蓄積された電荷の量に応じた積分信号が出力される。CDS（相関二重サンプリング、Correlated Double Sampling）回路では、積分信号の値の変化量に応じた値のCDS信号が出力される。比較回路では、CDS回路から出力されたCDS信号の値と基準電圧値とが大小比較され、CDS信号の値が基準電圧値以上であれば、その旨を示す飽和信号が出力される。そして、リセット手段により、比較回路から出力される飽和信号に基づいて、CDS信号の値が基準電圧値以上であるときに、積分回路に蓄積されている電荷がリセットされる。計数回路により、この飽和信号に基づいて、CDS信号の値が基準電圧値以上となった事象が計数されて、その計数値が第1のデジタル信号として出力される。また、CDS回路から出力されたCDS信号は、基準電圧値をA/D変換レンジとするA/D変換回路によりA/D変換されて、そのA/D変換の結果が第2のデジタル信号として出力される。第1および第2のデジタル信号が、この光検出装置の出力信号となる。

【0012】また、本発明に係る第2の光検出装置は、(1) 受光素子、積分回路、CDS回路、比較回路、リセット手段および計数回路を複数組備え、この複数組に対してA/D変換回路を1つ備え、(2) 複数組それぞれに設けられ、各CDS回路から出力されるCDS信号を保持してA/D変換回路へ順次に出力するホールド回路を

更に備える、ことを特徴とする。この場合には、各組それぞれの受光素子が受光した光の光量に応じた第1および第2のデジタル信号が順次に出力されるので、1次元または2次元の光像を撮像することができる。

【0013】本発明に係る第1または第2の光検出装置では、リセット手段は、積分回路に蓄積されている電荷を相殺するだけの電荷を注入することで、積分回路に蓄積されている電荷をリセットする、ことを特徴とする。この場合には、積分回路のリセット動作の後に直ちに積分動作が再開されるので、光検出時間を短くすることができ、或いは、高感度の光検出結果を得ることができる。

【0014】なお、第1の光検出装置において、積分回路がリセット状態であるときに積分信号が所定のリセットレベルであれば、比較回路における基準電圧値は、そのリセットレベルとA/D変換回路のA/D変換レンジとの和とする。また、受光素子と積分回路との接続の態様によっては、受光素子が光を受光すると積分信号の値が小さくなっていく場合があるが、この場合には、積分信号の減少幅と基準電圧値とが比較回路により大小比較される。

【0015】同様に、第2の光検出装置において、CDS回路がリセット状態であるときにCDS信号が所定のリセットレベルであれば、比較回路における基準電圧値は、そのリセットレベルとA/D変換回路のA/D変換レンジとの和とする。また、受光素子と積分回路との接続の態様によっては、受光素子が光を受光するとCDS信号の値が小さくなっていく場合があるが、この場合には、CDS信号の減少幅と基準電圧値とが比較回路により大小比較される。

【0016】

【発明の実施の形態】以下、添付図面を参照して本発明の実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【0017】(第1の実施形態) 先ず、本発明に係る光検出装置の第1の実施形態について説明する。図1は、第1の実施形態に係る光検出装置1の回路図である。第1の実施形態に係る光検出装置1は、フォトダイオード(受光素子)PD、積分回路10、CDS回路20、比較回路30、計数回路40、A/D変換回路50および論理和回路(リセット手段)61を備えている。

【0018】フォトダイオードPDは、カソード端子が電源電位Vddとされ、アノード端子が積分回路10の入力端子に接続されている。フォトダイオードPDは、受光した光の光量に応じた電流信号をアノード端子から積分回路10の入力端子へ出力する。

【0019】積分回路10は、入力端子と出力端子との間に互いに並列にアンプA₁、容量素子C₁およびスイッチ素子SW₁が接続されている。アンプA₁は、その反転

入力端子がフォトダイオードPDのアノード端子と接続され、非反転入力端子が基準電圧値Vinp1とされている。容量素子C₁およびスイッチ素子SW₁は、アンプA₁の反転入力端子と出力端子との間に設けられている。積分回路10は、スイッチ素子SW₁が閉じているときには、容量素子C₁を放電して初期化する。一方、積分回路10は、スイッチ素子SW₁が開いているときには、フォトダイオードPDから入力端子に入力した電荷を容量素子C₁に蓄積して、その蓄積された電荷に応じた電圧信号(これを積分信号と呼ぶ。)を出力端子から出力する。この積分信号は、フォトダイオードPDが受光した光の光量に応じたものであり、アンプA₁の非反転入力端子に入力する基準電圧値Vinp1をリセットレベルとして示される。スイッチ素子SW₁は、論理和回路61から出力される信号に基づいて開閉する。

【0020】CDS回路20は、入力端子と出力端子との間に順に容量素子C₂₁およびアンプA₂を有している。また、アンプA₂の入出力間にスイッチ素子SW₂および容量素子C₂₂が互いに並列的に接続されている。アンプA₂は、その反転入力端子が容量素子C₂₁と接続され、非反転入力端子が基準電圧値Vinp2とされている。容量素子C₂₂およびスイッチ素子SW₂は、アンプA₂の反転入力端子と出力端子との間に設けられている。CDS回路20は、スイッチ素子SW₂が閉じているときには、容量素子C₂₂を放電して初期化する。一方、CDS回路20は、スイッチ素子SW₂が開いているときには、入力端子から容量素子C₂₁を経て入力した電荷を容量素子C₂₂に蓄積して、その蓄積された電荷に応じた電圧信号(これをCDS信号と呼ぶ。)を出力端子から出力する。このCDS信号は、積分回路10から出力される積分信号の変化量に応じたものであり、アンプA₂の非反転入力端子に入力する基準電圧値Vinp2をリセットレベルとして示される。スイッチ素子SW₂はVclamp制御信号に基づいて開閉する。

【0021】比較回路30は、CDS回路20から出力されるCDS信号を反転入力端子に入力し、基準電圧値(Vinp2+Vmax)を非反転入力端子に入力して、両者の値を大小比較し、CDS信号の値が基準電圧値(Vinp2+Vmax)以上であれば、その旨を示す論理値Hの飽和信号を出力する。CDS信号の値が基準電圧値(Vinp2+Vmax)未満であれば、飽和信号は論理値Lである。なお、比較回路30の非反転入力端子に入力する基準電圧値(Vinp2+Vmax)は、CDS回路20のアンプA₂の非反転入力端子に入力する基準電圧値Vinp2(すなわち、CDS信号のリセットレベル)と、A/D変換回路50のA/D変換レンジを規定する基準電圧値Vmaxとの和である。

【0022】計数回路40は、比較回路30から出力される飽和信号を入力し、この飽和信号が論理値Lから論理値Hへ変化する事象を計数し、その計数値を第1のデ

ジタル信号として出力する。A/D変換回路50は、基準電圧値 V_{max} をA/D変換レンジとし、CDS回路20から出力されるCDS信号を入力して、このCDS信号をA/D変換し、そのA/D変換の結果を第2のデジタル信号として出力する。ここで、計数回路40から出力される第1のデジタル信号がMビットであるとし、A/D変換回路50から出力される第2のデジタル信号がNビットであるとする、計数回路40およびA/D変換回路50からは、上位Mビットの第1のデジタル信号($D_{M+N-1} \sim D_M$)と、下位Nビットの第2のデジタル信号($D_{M-1} \sim D_0$)とからなる、(M+N)ビットのデジタル信号($D_{M+N-1} \sim D_0$)が、光検出装置1の出力信号として出力される。

【0023】論理和回路61は、比較回路30から出力される飽和信号とVreset制御信号とを入力して、両者の論理和を示す論理信号を出力し、この論理信号により積分回路10のスイッチ素子 SW_1 の開閉を制御する。なお、Vreset制御信号、Vclamp制御信号、計数回路40の計数動作をリセットするための制御信号、および、A/D変換回路50のA/D変換動作を指示するための制御信号は、この光検出回路1の動作を制御するタイミング制御回路(図示せず)から所定のタイミングで出力される。

【0024】次に、第1の実施形態に係る光検出装置1の動作について説明する。図2は、第1の実施形態に係る光検出装置1の動作を説明するタイミングチャートである。また、図3は、特に時刻 t_2 付近における動作を説明するために時間軸を拡大したタイミングチャートである。なお、以下では、第1のデジタル信号のビット数Mを4とし、第2のデジタル信号のビット数Nも4として説明する。

【0025】初めに、時刻 t_0 に、積分回路10のスイッチ素子 SW_1 が閉じて、容量素子 C_1 の電荷が放電され、積分回路10から出力される積分信号の値はリセットレベル V_{inp1} とされる。また、この時刻 t_0 に、CDS回路20のスイッチ素子 SW_2 が閉じて、容量素子 C_{22} の電荷が放電され、CDS回路20から出力される積分信号の値はリセットレベル V_{inp2} とされる。また、この時刻 t_0 に、計数回路40の計数動作がリセットされ、第1のデジタル信号は値 0000_2 となる。

【0026】時刻 t_1 に、積分回路10のスイッチ素子 SW_1 が開き、CDS回路20のスイッチ素子 SW_2 も開く。この時刻 t_1 以降、積分回路10では、フォトダイオードPDから出力された電荷が容量素子 C_1 に蓄積され、この容量素子 C_1 に蓄積されている電荷に応じた積分信号が出力される。また、CDS回路20では、積分回路20から出力された積分信号の変化量に応じた電荷が容量素子 C_{22} に蓄積され、この容量素子 C_{22} に蓄積されている電荷に応じたCDS信号が出力される。すなわち、時刻 t_1 以降、積分信号の値は、時刻 t_1 当初のリ

セットレベル V_{inp1} から次第に小さくなっていき、CDS信号の値は、時刻 t_1 当初のリセットレベル V_{inp2} から次第に大きくなっていく。

【0027】やがて時刻 t_2 に、CDS信号の値が比較回路30における基準電圧値($V_{inp2} + V_{max}$)以上になると、比較回路30から出力される飽和信号は、これまでの論理値Lから論理値Hへ変化する。また、この飽和信号が論理値Lから論理値Hへ変化した事象に基づいて、計数回路40から出力される第1のデジタル信号は1増されて値 0001_2 となる。

【0028】また、図3に示すように、時刻 t_2 に飽和信号が論理値Hになると、論理和回路61から出力される論理信号も論理値Hとなり、積分回路10のスイッチ素子 SW_1 が閉じて、容量素子 C_1 の電荷が放電され、積分回路10から出力される積分信号の値がリセットレベル V_{inp1} となり、CDS回路20から出力されるCDS信号の値がリセットレベル V_{inp2} となる。そして、時刻 t_2' に、比較回路30から出力される飽和信号が論理値Lとなり、論理和回路61から出力される論理信号も論理値Lとなる。すると、再び、積分回路10のスイッチ素子 SW_1 が開いて、フォトダイオードPDから出力された電荷が容量素子 C_1 に新たに蓄積され、この容量素子 C_1 に蓄積されている電荷に応じた積分信号が出力される。

【0029】時刻 t_3 、 t_4 および t_5 それぞれでも、上記の時刻 t_2 での動作と同様の動作が起こる。すなわち、これらの各時刻において、計数回路40から出力される第1のデジタル信号は1増するとともに、積分回路10のスイッチ素子 SW_1 が一旦閉じて開いた後に、積分回路10から出力される積分信号の値はリセットレベル V_{inp1} から次第に小さくなっていき、CDS回路20から出力されるCDS信号の値はリセットレベル V_{inp2} から次第に大きくなっていく。そして、CDS信号の値が比較回路30における基準電圧値($V_{inp2} + V_{max}$)以上になると、同様の動作を改めて繰り返す。

【0030】図2に示すタイミングチャートでは、時刻 t_5 を経過した時点で計数回路40から出力される第1のデジタル信号は 0100_2 となっている。そして、時刻 t_6 で所定の積分期間が終了するとすれば、この時刻 t_6 における第1のデジタル信号(D_7, D_6, D_5, D_4)、および、この時刻 t_6 においてCDS回路20から出力されているCDS信号がA/D変換回路50によりA/D変換された結果である第2のデジタル信号(D_3, D_2, D_1, D_0)が、この光検出装置1の出力信号として出力される。この光検出装置1から出力される出力信号は、第1のデジタル信号(D_7, D_6, D_5, D_4)を上位4ビットとし、第2のデジタル信号(D_3, D_2, D_1, D_0)を下位4ビットとして、計8ビットのデジタル信号($D_7, D_6, D_5, D_4, D_3, D_2, D_1, D_0$)である。

【0031】以上のように本実施形態に係る光検出装置

1では、積分期間（時刻 t_1 ～時刻 t_6 ）に亘ってフォトダイオードPDが受光した光の光量に応じた値のデジタル信号として、その上位Mビット分が計数回路40から第1のデジタル信号として出力され、下位Nビット分がA/D変換回路50から第2のデジタル信号として出力される。したがって、A/D変換回路50のみを設ける場合と比較して、A/D変換回路50に加えて比較回路30や計数回路40を設けた本実施形態では、光検出のダイナミックレンジ（デジタル信号のビット数）を大きくすることができる。

【0032】また、本実施形態に係る光検出装置1では、積分回路10に蓄積される電荷をダンプすることが無いので、スイッチングノイズの問題が生じることなく、光検出精度が優れ、微弱光の光量を検出するのにも好適である。また、比較回路30、計数回路40および論理和回路61の回路規模が小さく、したがって、コストが安く、また、消費電力が小さい。さらに、本実施形態に係る光検出装置1は、CDS回路20を備えていることにより、積分回路10から出力される積分信号に含まれるオフセット変動の影響を除去することができる。

【0033】（第2の実施形態）次に、本発明に係る光検出装置の第2の実施形態について説明する。図4は、第2の実施形態に係る光検出装置2の回路図である。第2の実施形態に係る光検出装置2は、第1の実施形態に係る光検出装置1（図1）と比較すると、論理和回路61に替えてリセット回路（リセット手段）62を備えている点で異なる。

【0034】リセット回路62は、スイッチ素子 SW_{61} ～ SW_{64} 、容量素子 C_6 および論理反転素子INVを備える。スイッチ素子 SW_{61} 、容量素子 C_6 およびスイッチ素子 SW_{62} は、この順に直列的に接続されており、スイッチ素子 SW_{61} の他端は積分回路10の入力端子に接続され、スイッチ素子 SW_{62} の他端は基準電圧値 V_{max} とされている。スイッチ素子 SW_{61} と容量素子 C_6 との間の接続点はスイッチ素子 SW_{63} を介して接地されており、容量素子 C_6 とスイッチ素子 SW_{62} との間の接続点はスイッチ素子 SW_{64} を介して接地されている。スイッチ素子 SW_{61} および SW_{64} それぞれは、比較回路30から出力される飽和信号に基づいて開閉する。また、スイッチ素子 SW_{62} および SW_{63} それぞれは、比較回路30から出力される飽和信号が論理反転素子INVにより論理反転された信号に基づいて開閉する。

【0035】本実施形態に係る光検出装置2の動作は、第1の実施形態に係る光検出装置1の動作（図2）と略同様である。ただし、時刻 t_2 、 t_3 、 t_4 および t_5 それぞれにおける積分回路10のリセット動作が異なる。図5は、第2の実施形態に係る光検出装置の時刻 t_2 付近における動作を説明するために時間軸を拡大したタイミングチャートである。なお、本実施形態では、時刻 t_1 以降、積分回路10のスイッチ素子 SW_1 は開い

たままである。

【0036】時刻 t_1 以降であって時刻 t_2 前では、比較回路30から出力される飽和信号が論理値1であるので、リセット回路62のスイッチ素子 SW_{61} および SW_{64} は開き、スイッチ素子 SW_{62} および SW_{63} は閉じている。この間、リセット回路62の容量素子 C_6 に電荷が蓄積されている。

【0037】時刻 t_2 に、比較回路30から出力される飽和信号が論理値Hに変化すると、リセット回路62のスイッチ素子 SW_{61} および SW_{64} は閉じて、スイッチ素子 SW_{62} および SW_{63} は開く。これにより、積分回路10の容量素子 C_1 に蓄積されていた電荷は、リセット回路62の容量素子 C_6 に蓄積されていた電荷と相殺されて、積分回路10から出力される積分信号の値がリセットレベル V_{in1} となり、CDS回路20から出力されるCDS信号の値がリセットレベル V_{in2} となる。その後、直ちに、フォトダイオードPDから出力された電荷が容量素子 C_1 に新たに蓄積され、この容量素子 C_1 に蓄積されている電荷に応じた積分信号が出力される。

【0038】時刻 t_2' に、比較回路30から出力される飽和信号が論理値Lに変化すると、リセット回路62のスイッチ素子 SW_{61} および SW_{64} は開き、スイッチ素子 SW_{62} および SW_{63} は閉じて、リセット回路62の容量素子 C_6 に電荷が蓄積される。

【0039】時刻 t_3 、 t_4 および t_5 それぞれでも、上記の時刻 t_2 での動作と同様の動作が起こる。すなわち、これらの各時刻において、計数回路40から出力される第1のデジタル信号は1増するとともに、積分回路10の容量素子 C_1 は初期化され、その後、直ちに、積分回路10から出力される積分信号の値はリセットレベル V_{in1} から次第に小さくなっていき、CDS回路20から出力されるCDS信号の値はリセットレベル V_{in2} から次第に大きくなっていく。そして、CDS信号の値が比較回路30における基準電圧値（ $V_{in2} + V_{max}$ ）以上になると、同様の動作を改めて繰り返す。

【0040】本実施形態に係る光検出装置2は、第1の実施形態に係る光検出装置1が奏する効果と同様の効果を奏する他、以下のような効果をも奏する。すなわち、本実施形態では、時刻 t_2 、 t_3 、 t_4 および t_5 それぞれにおいて、積分回路10のスイッチ素子 SW_1 は開いたままであって、積分回路10の容量素子 C_6 に蓄積されていた電荷がリセット回路62からの電荷により相殺されることにより、積分回路10のリセット動作が行われる。すなわち、第1の実施形態に係る光検出装置1では、積分回路10のリセット動作から積分動作開始まで一定の時間（図3における時刻 t_2 から時刻 t_2' までの時間）を要するのに対して、本実施形態に係る光検出装置2では、積分回路10のリセット動作の後に直ちに積分動作が再開される。したがって、第1の実施形態では、図3の時刻 t_2 から時刻 t_2' までの期間では積

分作用が休止するのに対して、この第2の実施形態では、そのような積分作用休止期間が存在せず、連続して積分を行うことができる。

【0041】(第3の実施形態)次に、本発明に係る光検出装置の第3の実施形態について説明する。図6は、第3の実施形態に係る光検出装置3の回路図である。第3の実施形態に係る光検出装置3は、第2の実施形態に係る光検出装置2(図4)と比較すると、CDS回路20が設けられていない点で異なる。

【0042】本実施形態では、比較回路30は、積分回路10から出力される積分信号を反転入力端子に入力し、基準電圧値($V_{inpl} + V_{max}$)を非反転入力端子に入力して、両者の値を大小比較する。なお、フォトダイオードPDと積分回路10との接続の様子が図示のとおりである場合、フォトダイオードPDが光を受光すると積分信号の値が小さくなっていく。そこで、本実施形態では、リセットレベル V_{inpl} からの積分信号の減少幅が値 V_{max} 以上であれば、その旨を示す論理値Hの飽和信号を出力する。そうでなければ、飽和信号は論理値Lである。なお、比較回路30の非反転入力端子に入力する基準電圧値($V_{inpl} + V_{max}$)は、積分回路10のアンプ A_1 の非反転入力端子に入力する基準電圧値 V_{inpl} (すなわち、積分信号のリセットレベル)と、A/D変換回路50のA/D変換レンジを規定する基準電圧値 V_{max} との和である。また、A/D変換回路50は、基準電圧値 V_{max} をA/D変換レンジとし、積分回路10から出力される積分信号を入力して、この積分信号をA/D変換し、そのA/D変換の結果を第2のデジタル信号として出力する。

【0043】本実施形態に係る光検出装置3は、第2の実施形態に係る光検出装置2の動作と略同様に動作し、第2の実施形態に係る光検出装置2が奏する効果と略同様の効果を奏する。ただし、本実施形態では、CDS回路20が設けられていないので、積分回路10から出力される積分信号にオフセット変動が含まれていたとしても、この影響を除去することができないが、更に回路規模が小さく、コストが安く、消費電力が小さくなる。

【0044】(第4の実施形態)次に、本発明に係る光検出装置の第4の実施形態について説明する。図7は、第4の実施形態に係る光検出装置4の回路図である。第4の実施形態に係る光検出装置4は、A/D変換回路50を除いて第2の実施形態に係る光検出装置2(図4)をアレイ化したものである。

【0045】本実施形態に係る光検出装置4は、L組($L \geq 2$)のユニット $100_1 \sim 100_L$ 、シフトレジスタ200およびA/D変換回路50を備える。各ユニット $100_1 \sim 100_L$ それぞれは、フォトダイオードPD、積分回路10、CDS回路20、比較回路30、計数回路40、リセット回路62、ホールド回路70およびスイッチ素子列80を備える。

【0046】ホールド回路70は、図8に回路図を示すように、入力端子と出力端子との間に順にスイッチ素子 SW_7 およびアンプ A_7 を有しており、スイッチ素子 SW_7 とアンプ A_7 との間の接続点が容量素子 C_7 を介して接地されている。このホールド回路70は、スイッチ素子 SW_7 が閉じているときに入力端子に入力したCDS信号を容量素子 C_7 に記憶し、スイッチ素子 SW_7 が開いた後も、容量素子 C_7 に記憶されているCDS信号を保持し、このCDS信号をアンプ A_7 を介して出力端子から出力する。

【0047】スイッチ素子列80は、計数回路40から出力される第1のデジタル信号のビット数Mに値1を加えた個数のスイッチ素子が並列的に設けられたものであって、これら $(M+1)$ 個のスイッチ素子が同時に開閉する。このスイッチ素子列80は、閉じているときに、計数回路40から出力されるMビットの第1のデジタル信号を出力し、また、ホールド回路70により保持され出力されるCDS信号をA/D変換回路50へ出力する。

【0048】シフトレジスタ200は、L組のユニット $100_1 \sim 100_L$ それぞれのスイッチ素子列80を順次に閉じる。A/D変換回路50は、L組のユニット $100_1 \sim 100_L$ のうち何れかのユニットから出力されるCDS信号を入力して、このCDS信号をA/D変換し、そのA/D変換の結果をNビットの第2のデジタル信号として出力する。

【0049】本実施形態に係る光検出装置4では、L組のユニット $100_1 \sim 100_L$ それぞれのフォトダイオードPD、積分回路10、CDS回路20、比較回路30、計数回路40およびリセット回路62は、図2に示したタイミングチャートの時刻 t_6 までは同様に動作する。

【0050】本実施形態では、L組のユニット $100_1 \sim 100_L$ それぞれにおいて、ホールド回路70のスイッチ素子 SW_7 は、時刻 t_6 前に一旦閉じて時刻 t_6 に開く、これにより、時刻 t_6 にCDS回路20から出力されているCDS信号がホールド回路70の容量素子 C_7 に保持され、時刻 t_6 以降、このCDS信号はアンプ A_7 を介して出力端子から出力される。

【0051】時刻 t_6 以降、まず、第1番目のユニット 100_1 のスイッチ素子列80のみがシフトレジスタ200の制御により閉じる。そして、第1番目のユニット 100_1 の計数回路40から出力されたMビットの第1のデジタル信号が第1番目のユニット 100_1 より出力される。また、第1番目のユニット 100_1 のホールド回路70により保持され出力されたCDS信号がA/D変換回路50によりA/D変換され、Nビットの第2のデジタル信号がA/D変換回路50より出力される。すなわち、第1番目のユニット 100_1 のスイッチ素子列80が閉じている間に、第1番目のユニット 100_1 の

フォトダイオードPDが受光した光量に応じたデジタル信号（上位Mビットの第1のデジタル信号+下位Nビットの第2のデジタル信号）が、この光検出装置4の出力信号として出力される。

【0052】続いて、第2番目のユニット100₂のスイッチ素子列80のみがシフトレジスタ200の制御により閉じる。そして、第2番目のユニット100₂の計数回路40から出力されたMビットの第1のデジタル信号が第2番目のユニット100₂より出力される。また、第2番目のユニット100₂のホールド回路70により保持され出力されたCDS信号がA/D変換回路50によりA/D変換され、Nビットの第2のデジタル信号がA/D変換回路50より出力される。すなわち、第2番目のユニット100₂のスイッチ素子列80が閉じている間に、第2番目のユニット100₂のフォトダイオードPDが受光した光量に応じたデジタル信号（上位Mビットの第1のデジタル信号+下位Nビットの第2のデジタル信号）が、この光検出装置4の出力信号として出力される。

【0053】以降も同様にして、ユニット100₃～100_LそれぞれのフォトダイオードPDが受光した光量に応じたデジタル信号（上位Mビットの第1のデジタル信号+下位Nビットの第2のデジタル信号）が、この光検出装置4の出力信号として順次に出力される。

【0054】本実施形態に係る光検出装置4は、第2の実施形態に係る光検出装置2が奏する効果と同様の効果を奏する他、以下のような効果をも奏する。すなわち、本実施形態に係る光検出装置4は、複数のフォトダイオードPDが1次元状または2次元状にアレイ配置されることにより、1次元または2次元の光像を撮像することができる。しかも、各フォトダイオードPDによる光検出のダイナミックレンジ（デジタル信号のビット数）が大きいので、撮像される光像の階調数を多くすることができる。

【0055】本発明は、上記実施形態に限定されるものではなく種々の変形が可能である。例えば、アレイ化するに際しては、第4の実施形態ではA/D変換回路50を各ユニットに含めることなく共通のものとしたが、A/D変換回路50を各ユニットに含めてアレイ化してもよい。半導体チップ上に集積化することを考えると、前者の場合には、分解能が高いA/D変換回路を実現することができるものの、撮像スピードが犠牲となるのに対して、後者の場合には、高速撮像が可能となるものの、A/D変換回路の分解能を高めることができない。

【0056】また、第4の実施形態では第2の実施形態に係る光検出装置をアレイ化したのが、第1または第3の実施形態に係る光検出装置をアレイ化してもよい。また、第3の実施形態において、リセット回路62に替えて、第1の実施形態における論理和回路61を設けてもよい。

【0057】

【発明の効果】以上、詳細に説明したとおり、本発明によれば、受光した光の光量に応じて受光素子より出力された電流信号は積分回路に入力し、この積分回路では、その電流信号に応じた電荷が蓄積され、その蓄積された電荷の量に応じた積分信号が出力される。比較回路では、積分回路から出力された積分信号の値と基準電圧値とが大小比較され、積分信号の値が基準電圧値以上であれば、その旨を示す飽和信号が出力される。そして、リセット手段により、比較回路から出力される飽和信号に基づいて、積分信号の値が基準電圧値以上であるときに、積分回路に蓄積されている電荷がリセットされる。計数回路により、この飽和信号に基づいて、積分信号の値が基準電圧値以上となった事象が計数されて、その計数値が第1のデジタル信号として出力される。また、積分回路から出力された積分信号は、基準電圧値をA/D変換レンジとするA/D変換回路によりA/D変換されて、そのA/D変換の結果が第2のデジタル信号として出力される。第1および第2のデジタル信号が、この光検出装置の出力信号となる。

【0058】したがって、A/D変換回路に加えて比較回路や計数回路を設けたことにより、光検出のダイナミックレンジ（出力されるデジタル信号のビット数）を大きくすることができる。また、積分回路に蓄積される電荷をダンプすることが無いので、スイッチングノイズの問題が生じることなく、光検出精度が優れ、微弱光の光量を検出するのにも好適である。また、比較回路、計数回路およびリセット手段の回路規模が小さく、したがって、コストが安く、また、消費電力が小さい。

【0059】また、積分回路の後段にCDS回路を備えることにより、積分回路から出力される積分信号に含まれるオフセット変動の影響をCDS回路により除去することができる。

【0060】また、受光素子、積分回路、比較回路、リセット手段および計数回路を複数組備えることにより、各組それぞれの受光素子が受光した光の光量に応じた第1および第2のデジタル信号が順次に出力されるので、多くの階調数で1次元または2次元の光像を撮像することができる。

【0061】また、リセット手段は、積分回路に蓄積されている電荷を相殺するだけの電荷を注入することで、積分回路に蓄積されている電荷をリセットするのが好適であり、この場合には、積分回路のリセット動作の後に直ちに積分動作が再開されるので、リセットに時間を要せず、積分作用を中段することないので、連続して積分を行うことができる。

【図面の簡単な説明】

【図1】第1の実施形態に係る光検出装置の回路図である。

【図2】第1の実施形態に係る光検出装置の動作を説明

するタイミングチャートである。

【図3】第1の実施形態に係る光検出装置の時刻 t_2 付近における動作を説明するために時間軸を拡大したタイミングチャートである。

【図4】第2の実施形態に係る光検出装置の回路図である。

【図5】第2の実施形態に係る光検出装置の時刻 t_2 付近における動作を説明するために時間軸を拡大したタイミングチャートである。

【図6】第3の実施形態に係る光検出装置の回路図であ

る。

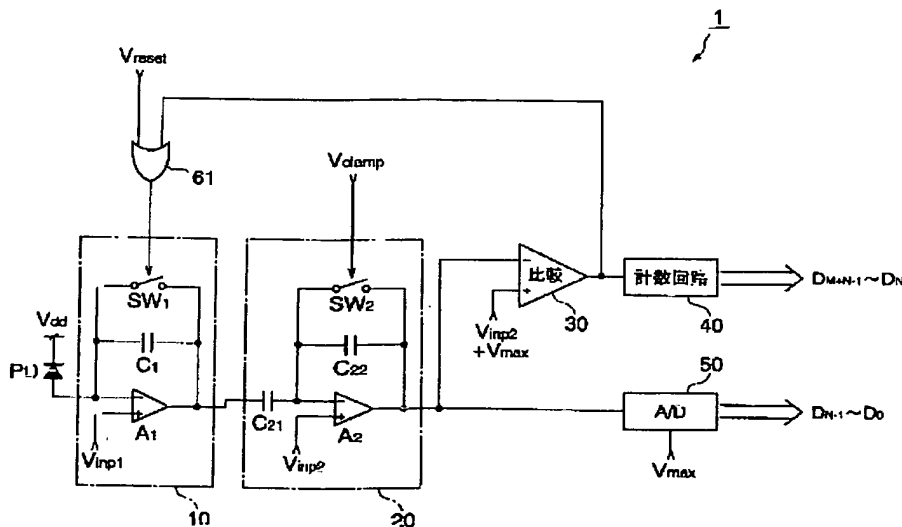
【図7】第4の実施形態に係る光検出装置の回路図である。

【図8】ホールド回路の回路図である。

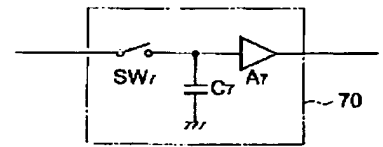
【符号の説明】

1…4…光検出装置、10…積分回路、20…CDS回路、30…比較回路、40…計数回路、50…A/D変換回路、61…論理和回路、62…リセット回路、70…ホールド回路、80…スイッチ素子列、200…シフトレジスタ。

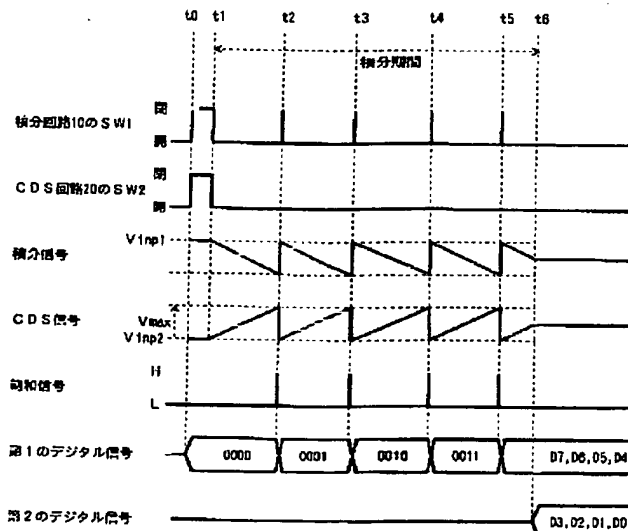
【図1】



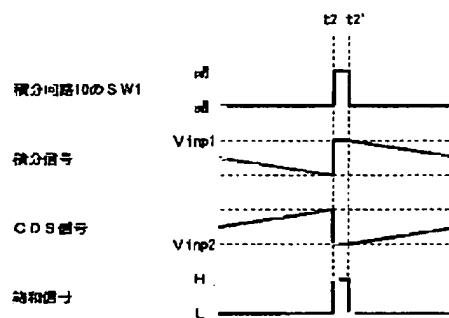
【図8】



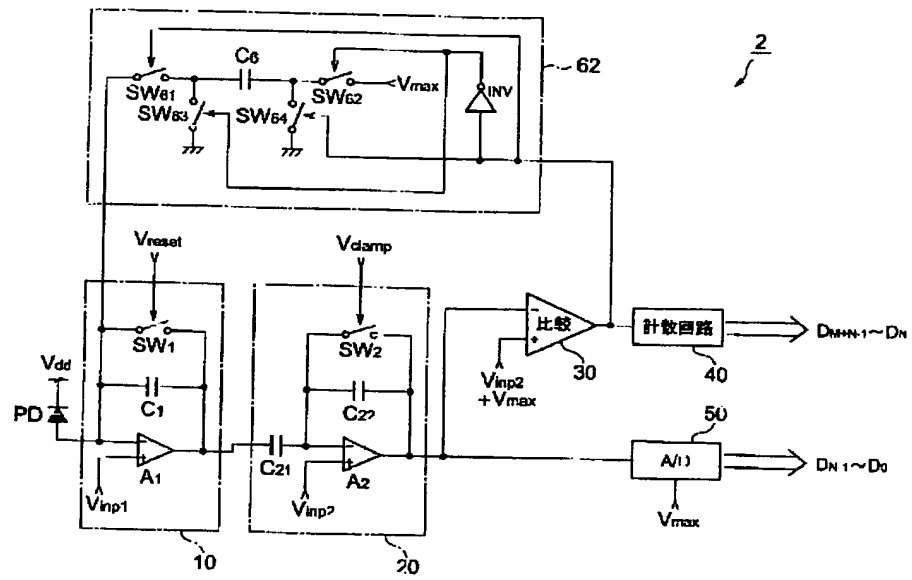
【図2】



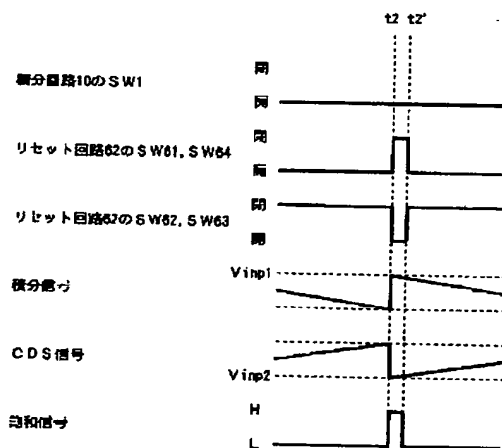
【図3】



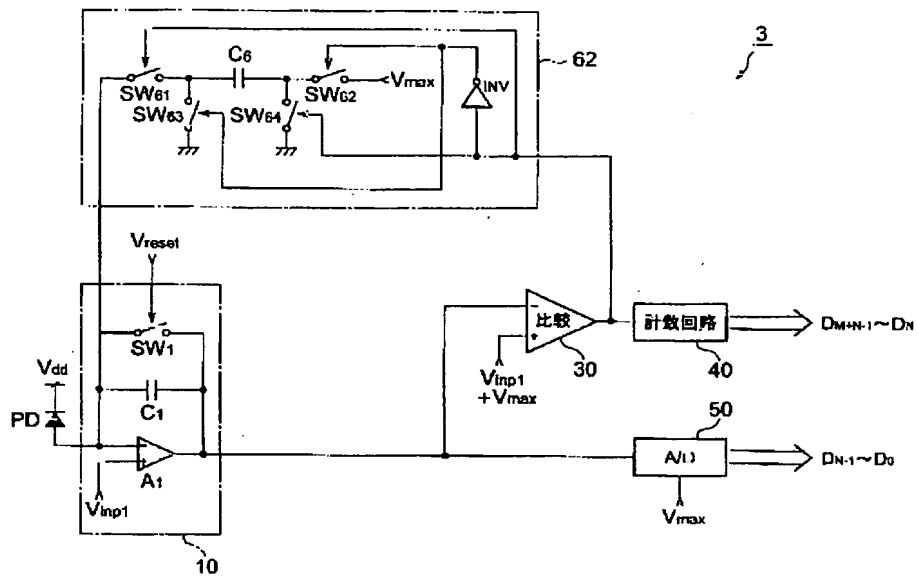
【図4】



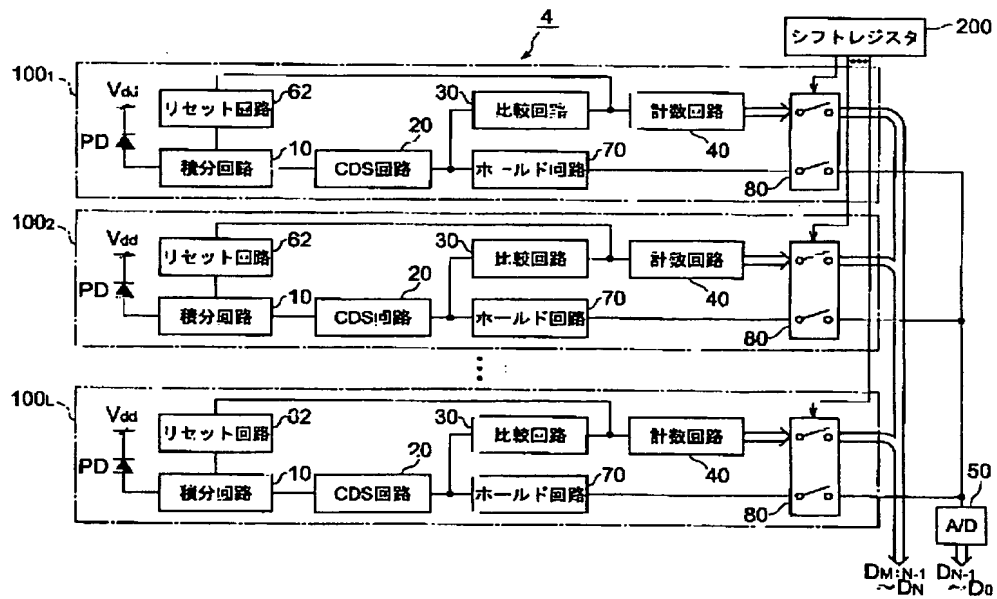
【図5】



【図6】



【図7】



フロントページの続き

Fターム(参考) 2G065 AA04 AA11 AB04 BA09 BA33
BA34 BC01 BC08 BC14 BC15
BC16 BC17 BC28
5C024 AA01 CA05 CA15 EA04 FA01
GA48 HA06 HA07 HA14 HA17
HA18
5F049 MA01 NA19 NA20 NB03 NB05
UA20